Vol. 40 No. 5 情報処理学会論文誌 May 1999

シングルチップマルチプロセッサ上での近細粒度並列処理

木村啓二[†] 尾形航[†]
岡本雅巳[††] 笠原博徳[†]

1チップ上に集積可能なトランジスタ数の増大に従い，次世代マイクロプロセッサでは，これらのトランジスタをいかに有効に利用し，プロセッサの実効性能を向上させるかが大きな課題になっている．しかし，現在主流のスーパースカラあるいは VLIW，それらの複合形のマイクロプロセッサでは，命令レベル並列性等の限界によりスケーラブルな実効性能の向上が困難と考えられている．これに対して，筆者等は従来のチップ内細粒度並列処理に加え，より並列性の大きいループイタレーションレベルの中粒度並列処理（ループ並列処理），サブルーチン，ループ，基本ブロック間の粗粒度並列性を階層的に組み合わせて使用するマルチグレイン並列処理を実現できるシングルチップマルチプロセッサ（SCM）はスケーラブルな実効性能の向上を可能にすると考えている．本論文では，マルチグレイン並列処理を効果的に実現できる SCM 検討の第一歩として，共有キャッシュ，グローバルレジスタ，分散共有メモリ，ローカルメモリの近細粒度並列処理に対する有効性に関する評価を行なった結果について述べる．

Near Fine Grain Parallel Processing on Single Chip Multiprocessors

Keiji Kimura,[†] Wataru Ogata,[†] Masami Okamoto[††] and Hironori Kasahara[†]

With the increase of the number of transistors integrated on a chip, how to use transistors efficiently and improve effective performance of a processor is getting an important problem. However, it has been thought that superscalar and VLIW which have been popular architectures would have difficulty to obtain scalable improvement of effective performance because of limitation of instruction level parallelism. To cope with this problem, the authors have been proposing a single chip multiprocessor(SCM) approach to use multi grain parallelism inside a chip, which hierarchically exploits loop parallelism with large parallelism and coarse grain parallelism among subroutines, loops and basic blocks in addition to instruction level parallelism. This paper evaluates effectiveness of single chip multiprocessor architecture with a shared cache, global registers, distributed shared memory and/or local memory for near fine grain parallel processing as the first step of research on SCM architecture for supporting multi grain parallel processing.

1. はじめに

1チップ上で使用可能なトランジスタ数の増大に従い，現在様々な種類の次世代マイクロプロセッサアーキテクチャが提案されている．それらのアーキテクチャの代表的な例として，スーパースカラ，VLIW あるいはそれを組み合わせたアーキテクチャ上で投機的実行を用い，命令レベル並列処理を行なおうとするもの [1)2)]，ロジック DRAM 混載技術により大量の DRAM を用い，ベクトル演算を行なおうとするもの [3)]，DRAM と複数の CPU を混載したシングルチップマルチプロセッサ [4)5)] やそのキャッシュ構成法 [6)7)]，投機的実行も考慮し複数のスレッドの並列実行によりデータ転送オーバーヘッドを隠すマルチスレッドアーキテクチャ [8)9)10)11)] が挙げられる．特に 7) ではチップ内のプロセッサ間でデータ転送を効果的に行なうためのキャッシュ構成法に関する研究が行なわれており，L2 キャッシュ共有は L1 キャッシュ共有とほぼ同じ効果があるという結果を得ている．

一方，筆者等は細粒度並列処理 [12)13)14)] に加え，ループイタレーションレベルの中粒度並列処理 [15)]，およ

† 早稲田大学理工学部電気電子情報工学科
Department of Electrical, Electronics and Computer Engineering, Waseda University
†† 株式会社東芝
Toshiba Corporation

びサブルーチンあるいはループ，基本ブロック間の粗粒度並列性[16)17)]を階層的に組み合わせて使用することにより，高い実効性能を達成することを目指す，マルチグレイン並列処理[18)]を従来から提案している．このマルチグレイン並列処理をシングルチップマルチプロセッサ（SCM）に適用することにより，実効性能の高い高性能な計算機システムを実現することができると考えている[19)]．

そこで，本論文では，このマルチグレイン並列処理を効率良く実現できるSCMアーキテクチャ研究の第一ステップとして，近細粒度並列処理をSCMに適用し，グローバルレジスタ，共有キャッシュ，ローカルメモリ，分散共有メモリの効果の評価を行なった結果について述べる．

以下，2章でマルチグレイン並列処理について，3章でマルチグレイン並列処理をサポートするアーキテクチャ，および本論文で評価するSCMについて，4章でこれらのアーキテクチャに近細粒度並列処理を適用して評価した結果について述べる．

2. マルチグレイン並列処理

本章では，筆者等が提案するシングルチップマルチプロセッサアーキテクチャが前提とする，マルチグレイン並列処理手法について述べる．

マルチグレイン並列処理手法[18)]とは，ループやサブルーチン等の粗粒度タスク間の並列処理を利用するマクロデータフロー処理[20)16)]，ループレベルの並列処理である中粒度並列処理，基本ブロック内部のステートメントレベルの並列性を利用する近細粒度並列処理[12)13)]を階層的に組み合わせて，並列処理を行なう手法である．このマルチグレイン並列処理手法は，OSCARマルチグレインFortran並列化コンパイラに実装されている[19)]．

2.1 マクロデータフロー処理

マクロデータフロー処理では，ソースとなるFortranプログラムを疑似代入文ブロック（BPA），繰り返しブロック（RB），サブルーチンブロック（SB）の三種類の粗粒度タスク（マクロタスク（MT））[16)]に分割する．

ここで，BPAは基本的には通常の基本ブロックであるが，並列性抽出のために単一の基本ブロックを複数に分割したり，逆に一つのBPAの処理時間が短く，ダイナミックスケジューリング時のオーバーヘッドが無視できない場合には，複数のBPAを融合して一つのBPAを生成する．

RBは，最外側ナチュラルループである．ただし，Doallループは，ループインデクス範囲を分割することにより複数の部分Doallループに分割し，分割後の部分Doallループを新たにRBと定義する．

また，サブルーチンは，可能な限りインライン展開するが，コード長を考慮し効果的にインライン展開ができないサブルーチンはSBとして定義する．

さらに，SBやDoall不可能なRBの場合，これらの内部の並列性に対し，階層的マクロデータフロー処理を適用する[21)]．

MT生成後，コンパイラはBPA，RB，SB等のMT間のコントロールフローとデータ依存を解析し，それらを表したマクロフローグラフ（MFG）[20)22)]を生成する．さらにMFGからMT間の並列性を最早実行可能条件解析[20)22)]により引きだし，その結果をマクロタスクグラフ（MTG）[20)22)]として出力する．その後MTは，条件分岐等の実行時不確定性が存在する場合にはダイナミックスケジューリングで，それ以外の場合にはスタティックスケジューリングにより各プロセッサクラスタ（PC）に割り当てられ実行される．

2.2 中粒度並列処理（ループ並列処理）

PCに割り当てられたMTがDoall可能なRBである場合，このRBはPC内のプロセッシングエレメント（PE）に対して，イタレーションレベルで分割され並列実行される．

2.3 近細粒度並列処理[12)13)]

PCに割り当てられたMTが，BPAやシーケンシャルループで構成される場合，それらはステートメントレベルのタスクに分割され，PC内のPEにより並列処理される．

図1はクラウト法によるスパース行列の求解を，シンボリックジェネレーション法を用いてループフリーコードに展開して行なうプログラムである．OSCARコンパイラでは，このような基本ブロック内のステートメントをタスクとして定義し，タスク間のデータ依存を解析する．その後，**図2**のような各タスク間のデータ依存，すなわち先行制約を表したタスクグラフと呼ばれる無サイクル有向グラフを生成する．図中，各タスクは各ノードに対応している．図2において，ノード内の数字はタスク番号iを表し，ノードの脇の数字はPE上でのタスク処理時間t_iを表す．また，ノードN_iからN_jに向けて引かれたエッジは，タスクT_iがT_jに先行するという半順序制約を表している．タスク間のデータ転送時間も考慮する場合，各々のエッジは一般に可変な重みを持つ．タスクT_iとT_jが異なるPEへ割り当てられた場合，この重みt_{ij}がデータ転送時間となる．図2では，データ転送および同期

に要する時間を 9 clock と仮定している．逆にこれらのタスクが同一 PE に割り当てられた場合，重み t_{ij} は 0 となる．

このようにして生成されたタスクグラフを各プロセッサにスタティックにスケジュールする．この際，OSCAR コンパイラでは，スケジューリングアルゴリズムとして，データ転送オーバーヘッドを考慮し実行時間を最小化するヒューリスティックアルゴリズムである CP/DT/MISF 法，CP/ETF/MISF 法，ETF/CP 法，および DT/CP 法 [22] の 4 手法を適用し最良のスケジュールを自動的に選んでいる．また，タスクをスタティックにプロセッサに割り当てることにより，BPA 内で用いられるデータをタスクの実行前にローカルメモリもしくは分散共有メモリに配置することが出来る [23]．

スケジューリング後，コンパイラは PE に割り当てられたタスクの命令列を順番に並べ，データ転送命令や同期命令を必要な箇所に挿入することにより，各 PE のマシンコードを生成する．近細粒度タスク間の同期にはバージョンナンバー法を用い，同期フラグの受信は受信側 PE のビジーウェイトによって行なわれる．

マシンコード生成時，コンパイラはスタティックスケジューリングの情報を用いたコード最適化を行なうことが出来る．たとえば，同一データを使用する異なるタスクが同一 PE に割り当てられた時，そのデータをレジスタを介して受渡しすることが出来る．また，同期のオーバーヘッドを最小化するため，タスクの割り当て状況や実行順序から，冗長な同期を除去することも出来る [12]．この様子を**図 3** を用いて説明する．図中，タスク A，B，C は PE1 に，タスク D は PE2 に，タスク E は PE3 に割り当てられ，タスク間のエッジはデータ依存を表すものとする．つまり，PE 間のエッジはデータ転送および同期を表している．同期フラグを集中共有メモリ上に配置した場合，タスク B，C の実行前にタスク D の実行は終了しているので，タスク E はタスク D 終了の確認を行なう必要がない．つまり，タスク D とタスク E の間の同期を除去することが出来る．

3. マルチグレイン並列処理をサポートするアーキテクチャ

本章では，2 章で述べたマルチグレイン並列処理を SCM 上で効率良く実現するために必要なアーキテクチャサポートについて述べる．

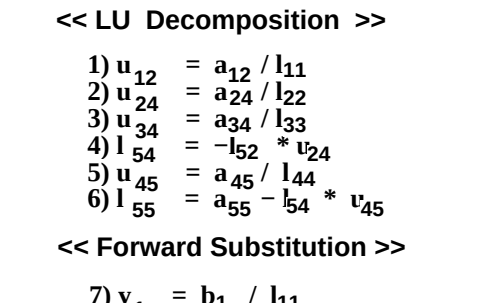


図 1 近細粒度タスクの例
Fig. 1 Near fine grain tasks.

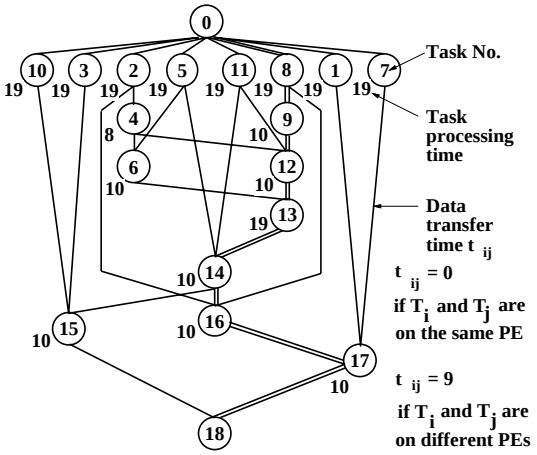


図 2 近細粒度タスクのタスクグラフ
Fig. 2 Task graph for near fine grain tasks.

3.1 マクロデータフロー処理をサポートするアーキテクチャ

2.1 節で述べたように，マクロデータフロー処理では，プログラム内に実行時不確定性が存在する場合，各 MT を実行時に PC に割り当てる．そのため，スケジューリング情報や MT 間で共有されるデータを格納できる集中共有メモリがあることが望ましい．さらに，スケジューリング情報のような小規模データの PE 間通信を行なうための低レイテンシな PE 間ネッ

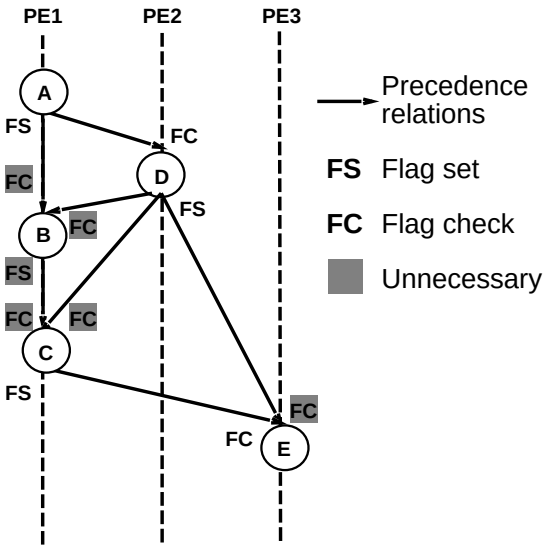


図 3 冗長な同期の削除
Fig. 3 Elimination of redundant synchronization.

トワークおよび同期機構の付加によって，効率的なダイナミックスケジューリングを行なうことが出来る．

また，PE ローカルメモリの付加によって，MT 間データ転送オーバーヘッドの最小化を可能とするデータローカライゼーション手法 [24] を用いることが出来る．この際，CPU でのタスク処理とは独立にデータ転送を行なうことが出来るデータ転送ユニット（DTU），およびデュアルポートメモリで構成された分散共有メモリ（DSM）を用いることによって，残存するデータ転送のタスク処理とのオーバーラップ [25] が可能となる．

3.2 中粒度並列処理をサポートするアーキテクチャ

中粒度並列処理においては，ループ内でのテンポラリ配列を格納する PE ローカルメモリの使用が有効であると考えられる．また，リダクションループおよび Doacross における同期およびデータ転送のオーバーヘッドを最小化するため，リモート PE の命令実行を妨げることなく直接データ転送を行なえる，デュアルポートメモリ構成の DSM，もしくは共有キャッシュ [7]，共有グローバルレジスタの利用が考えられる．

3.3 近細粒度並列処理をサポートするアーキテクチャ

2.3 節で述べたように，近細粒度並列処理は基本的に基本ブロック内に適用されるため，コンパイル時のスタティックスケジューリングにより実行時のスケジューリングオーバーヘッドがなく，データ転送および同期オーバーヘッドを最小化できる．このため，近細粒度並列処理の性能を最大限に引き出すためには，プログラム実行がコンパイル時のスケジューリングどおりのタイミングで行なわれることが好ましく，そのためには，コンパイラがタイミングを正確に決められるように，全ての命令が固定クロックで実行できることが望ましい．

また，プロセッサ間データ転送オーバーヘッドを最小化するために，低レイテンシのデータ転送，および低オーバーヘッドの同期機構が重要となる．このため，3.2 節で述べたようなデュアルポートメモリ構成の DSM，もしくは共有キャッシュ，共有グローバルレジスタの利用が近細粒度並列処理でも有効であると考えられる．

さらに，スタティックスケジューリングの結果により，プロセッサローカルに使用することが決定できる変数を割り当てることができ，また DSM より大容量を実現できるローカルメモリも有効と考えられる．

3.4 評価対象アーキテクチャ

本節では，上記のアーキテクチャサポートを考慮して，今回評価を行なったシングルチップマルチプロセッサアーキテクチャについて述べる．

評価対象アーキテクチャとして，まずプロセッシングエレメント（PE）間のメモリアーキテクチャの違いにより，データキャッシュ共有型と OSCAR 型（分散共有メモリ + ローカルメモリ）の 2 例を用意した．さらに，これらに対して PE 間グローバルレジスタを付加したものをそれぞれ用意した．

これらのアーキテクチャを，クロックレベルの精密なシミュレータを用いて評価を行なう．

3.5 共通仕様

本論文で評価する SCM アーキテクチャは，32bit 固定命令長，ロード/ストアアーキテクチャのシンプルなシングルイシュー RISC アーキテクチャの CPU を，1 チップ上に 1 基から 8 基まで搭載するものとした．この CPU は整数演算及び浮動小数点演算の両方に使用することができる汎用レジスタを 64 本持ち，また，FMUL，FADD を含む全命令の実行を 1 クロックで処理することができるものとする．このようなシンプルな CPU を用いる理由は 3.3 節でも述べたように，近細粒度並列化におけるスタティックスケジューリングの結果をプログラム実行時に正確に再現することを可能とするためである．

プロセッサの内部には各々の CPU で実行するプログラムが格納されるローカルプログラムメモリ（LPM）があり，LPM には 1 クロックでアクセスできるものとする．LPM を想定しているのは，今回評価で用いるプログラムのサイズがあまり大きくないため，命令

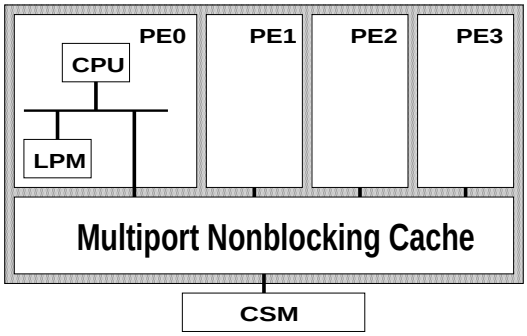


図 4 データキャッシュ共有型アーキテクチャ
Fig. 4 Shared data cache architecture.

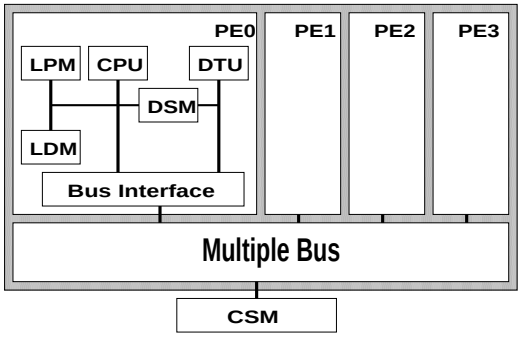


図 5 OSCAR 型アーキテクチャ
Fig. 5 OSCAR type architecture.

キャッシュを用いる場合との性能差は少ないと考えているためである．

また，プロセッサの外部には共有データを格納する集中共有メモリ（CSM）が接続される．この CSM のアクセスレイテンシは 20 クロックとする．

3.6 データキャッシュ共有型アーキテクチャ

今回評価に用いるデータキャッシュ共有型アーキテクチャは，**図 4** に示すように，CPU とローカルプログラムメモリ（LPM）を持つプロセッシングエレメント（PE）が，データキャッシュを共有するアーキテクチャである．

データキャッシュは複数のバンクを持つものを想定する．各々のバンクは各ポートとスイッチを介して接続される構成とし，同一バンクへのアクセスが生じた場合はいずれかのアクセスのみが優先されるが，それ以外の場合は各ポートが独立にキャッシュにアクセスできる．キャッシュの連想方式は 4-way set associative とし，Write Back もしくは Write Through 方式のいずれかを用いるものとする．

このようにデータキャッシュを共有することにより，キャッシュのコヒーレンスを気にすることなく各 PE 間のデータ転送，とりわけ近細粒度タスク間のデータ転送を効率良く行なうことができる．

この共有データキャッシュは，ヒット時のアクセスタイムは 1 もしくは将来の GHz クロックを考慮して 3 クロック，容量は PE 数が 4 以下の時には 4Mbyte，PE 数が 6 以上の時には 8Mbyte とした．また，異なる二つのプロセッサからの要求が同一バンクでコンフリクトした場合は，一方が 1 クロック待たされるものとする．

この時，キャッシュヒット時のアクセスタイムが 1 クロックの場合はデータのロード，ストア，および同期フラグのセットに各 1 クロック，同期フラグのチェックに最小で 3 クロック，また，ヒット時のアクセスタイムが 3 クロックの場合には，データのロード，ストア，および同期フラグのセットに各 3 クロック，同期フラグのチェックに最小 5 クロック要する．

3.7 OSCAR 型アーキテクチャ

OSCAR 型アーキテクチャとは，マルチプロセッサシステム OSCAR[26] を基に構成されたアーキテクチャである．OSCAR 型アーキテクチャの全体図を**図 5** に示す．

OSCAR 型アーキテクチャは，CPU，LPM，データ転送ユニット（DTU），ローカルデータメモリ（LDM），そしてデュアルポートメモリで構成された分散共有メモリ（DSM）を持つプロセッシングエレメント（PE）を 3 本のバスを介して接続したアーキテクチャである．

LDM は自 PE からのみアクセスできるメモリであり，PE に割り当てられたタスク間で使用されるローカルデータを保持するために使用する．また，DSM は他 PE からも直接リード/ライトできるメモリであり，近細粒度タスク間のデータ転送に使用する．LDM のアクセスにかかるクロック数は 1 クロックと 3 クロックの 2 種類を用意，容量は 1PE あたり 1Mbyte とし，DSM のアクセスにかかるクロック数は，自 PE 上の DSM にへはそれぞれ 1 あるいは 3 クロック，他 PE 上の DSM へのリモートアクセスにはそれぞれ 4 あるいは 6 クロックかかり，容量は 1PE あたり 16Kbyte とした．また，異なる二つのプロセッサからバスへのアクセスコンフリクトが生じた場合には，一方が 1 クロック待たされるものとする．同様に，同一 PE 上の DSM へのアクセスコンフリクトが生じた場合には一方が 2 クロック待たされるものとする．

この時，自 PE の DSM へのアクセスタイムが 1 クロックの場合はデータのストア，および同期フラグのセットに各 4 クロック，データのロードに 1 クロック，同期フラグのチェックに最小で 3 クロック，また，自 PE の DSM へのアクセスタイムが 3 クロックの場合

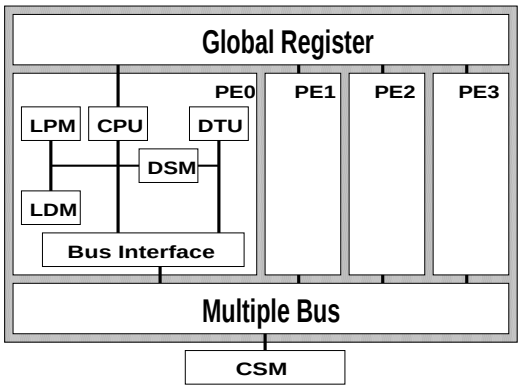


図 6 OSCAR 型アーキテクチャ + グローバルレジスタ
Fig. 6 OSCAR type architecture with global register.

はデータのストア，および同期フラグのセットに 6 クロック，データのロードに 3 クロック，同期フラグのチェックに最小 5 クロック要する．

3.8 グローバルレジスタ

本論文では，3.6 節及び 3.7 節で述べたデータキャッシュ共有型アーキテクチャ，OSCAR 型アーキテクチャの各々に，グローバルレジスタ（GR）を付加したアーキテクチャついても評価を行なう．

GR はマルチポートレジスタで，各 PE 内の CPU が同時にアクセスすることができるものとする．また，このときのアクセスタイムは 1 クロックとする．

GR の本数は 16 本とし，これらは近細粒度タスクのデータ転送，および同期に使用する．この GR を使用することにより，データのロード，ストア，および同期フラグのセットを 1 クロック，同期フラグのチェックを最小 3 クロックで行なうことが出来る．また，GR がスピルした時には，OSCAR 型アーキテクチャでは DSM，データキャッシュ共有型アーキテクチャではキャッシュを使用した同期およびデータ転送を行なう．

OSCAR 型アーキテクチャに GR を付加した時の全体図を**図 6** に示す．

3.9 トランジスタ数の比較

OSCAR 型アーキテクチャとデータキャッシュ共有型アーキテクチャのハードウェア量の比較を行なうため，LDM，DSM およびキャッシュメモリが要求するトランジスタ数を概算 [27] した結果，**表 1** のように，4PE 時においては，OSCAR 型アーキテクチャにおいて LDM に 203.6M トランジスタ，DSM に 6.4M トランジスタ，合計 210.0M トランジスタ程度，データキャッシュ共有型アーキテクチャでは 238.2M トランジスタ程度と推定された．

本表のように，今回の評価では OSCAR 型アーキテクチャがデータキャッシュ共有型アーキテクチャよりも少ないトランジスタを用いたメモリシステムを仮定している．

4. 評　　価

本節では，データキャッシュ共有型アーキテクチャと OSCAR 型アーキテクチャに対して近細粒度並列処理を適用して評価した結果について述べる．

評価に用いたプログラムは，電子回路シミュレーションにおけるランダムスパースマトリクスを係数に持つ線形方程式の求解プログラム，および航空宇宙技術研究所の CFD プログラムの「NS3D」のサブルーチン「SUB4」の内側ループで最も実行時間の大きいループの 1 イタレーション分のプログラムである．

4.1 ランダムスパースマトリクスの求解

このプログラムは算術代入文のみからなる Fortran ループフリーコードであり，94 個の近細粒度タスク（ステートメント）を持つ．

このプログラムに近細粒度並列処理を施し，OSCAR 型アーキテクチャ（OSCAR），データキャッシュ共有型の Write Through（CACHE-WT）と Write Back（CACHE-WB），および，これらに対して共有グローバルレジスタを付加したアーキテクチャ（GR）のそれぞれで，PE 数 1，2，4，6，8 で実行した．ただし，データキャッシュ共有型では，PE 数が 4 までは，キャッシュのバンク数を 4，容量を 4Mbyte，それより多い PE 数のときはキャッシュのバンク数を 8，容量を 8Mbyte として評価を行なった．

この結果として，OSCAR アーキテクチャでの 1 プロセッサ上での実行時間を基準とした時の速度向上率を**図 7**（ローカルメモリおよびキャッシュアクセス 1 クロック），および**図 8**（ローカルメモリおよびキャッシュアクセス 3 クロック）に示す．なお，ローカルメモリアクセスが 1 クロック時の 1 プロセッサでの実行時間は，OSCAR アーキテクチャで 126,145 クロック，CACHE-WB アーキテクチャで 128,985 クロッ

表 1 OSCAR 型アーキテクチャとデータキャッシュ共有型アーキテクチャの 4PE 時で各々のアーキテクチャのメモリが要するトランジスタ数の概算
Table 1 The number of transistors for memory of OSCAR type architecture and shared cache type architecture.

メモリモジュール	推定トランジスタ数（M）
OSCAR/LDM	203.6
OSCAR/DSM	6.4
OSCAR/LDM+DSM	210.0
CACHE	238.2

ク，また 3 クロックの時は OSCAR アーキテクチャで 200,235 クロック，CACHE-WB アーキテクチャで 203,781 クロックである．

また，OSCAR および CACHE-WB アーキテクチャ（ローカルメモリおよびキャッシュアクセス 1 クロック）において，本アプリケーションを 4PE で実行した時の全 PE の実行命令数の合計に対するメモリアクセス総数の割合を**表 2** に示す．表 2 より，本アプリケーションでは OSCAR における 4PE の総実行命令数の合計のうち，8.1%が同期およびデータ転送領域へのロード/ストア命令であったが，グローバルレジスタを介した同期およびデータ転送が可能な OSCAR/GR では，この領域へのロード/ストア命令が 3.1%に減少していることがわかる．同様に，CACHE-WB アーキテクチャでは 4PE の総実行命令数の合計のうち，5.9%が同期およびデータ転送領域へのロード/ストア命令であったが，CACHE-WB/GR では 1.9%に減少している．

図 7 より，まず CACHE-WT アーキテクチャの性能が著しく低いことがわかる．この CACHE-WT アーキテクチャのキャッシュと CSM との間に Write Buffer を接続しても，高々数 % の性能向上しか得られなかった．

また，この例の場合，OSCAR アーキテクチャと CACHE-WB アーキテクチャは，PE 数 4 まではほぼ同じ傾向を示している．しかしながら，OSCAR アーキテクチャでは，8PE で 5.29 倍の速度向上率を得ているのに対し，CACHE-WB では 3.95 倍となり，OSCAR アーキテクチャの方が 1.34 倍のスピードアップを達成している．これは，PE 数の増加と共にキャッシュメモリへのアクセス競合が増大しているためであると考えられる．

次にグローバルレジスタの有無について述べる．OSCAR アーキテクチャでは，データ転送および同期フラグのセットを行なうために送信先の PE のリモート DSM に 4，もしくは 6 クロックかけてデータを書き込まなければならないところを，グローバルレジスタを使用することによって 1 クロックでデータをセットすることができる．このグローバルレジスタの付加によって，OSCAR アーキテクチャでは 4PE 時に 3.02 倍の速度向上率であったものが 3.50 倍となり，15.9%性能を向上させることができる．同様に，CACHE-WB アーキテクチャでも 4PE 時の速度向上率が 2.76 倍であったものがグローバルレジスタの付加により 2.99 倍となり，8.3%性能が向上している．

表 2 4PE 時におけるランダムスパースマトリクス求解の実行命令数に対するメモリアクセス数の割合
Table 2 The ratio of memory access count to executed instruction count for random sparse matrix solution with 4PEs.

アーキテクチャ	各領域に対するメモリアクセスの割合（%）	
	同期およびデータ転送	変数および定数
OSCAR	8.1	18.7
OSCAR/GR	3.1	19.6
CACHE-WB	5.9	18.1
CACHE-WB/GR	1.9	19.1

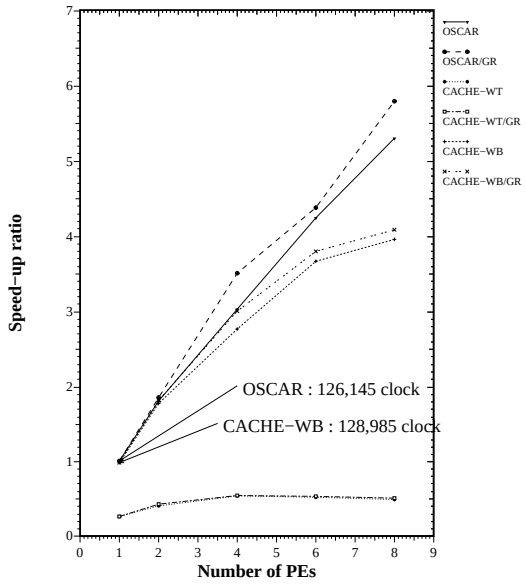


図 7 ローカルメモリアクセス 1 クロック時のランダムスパースマトリクスの求解における速度向上率
Fig. 7 Speed up ratio of random sparse matrix solution with 1clock local memory access.

図 8 のローカルメモリおよびキャッシュメモリのアクセスに 3 クロックとした場合も，図 7 とほぼ同様に OSCAR アーキテクチャが良い性能を示している．この場合，近細粒度タスク間のデータ転送や同期のオーバーヘッドが増大しているため，グローバルレジスタの付加による性能向上が図 7 の時よりも顕著で，OSCAR アーキテクチャの 4PE 時に 17.3%，CACHE-WB の 4PE 時に 18.1 %の性能向上を得ている．

4.2 NS3D/SUB4

このプログラムは，航空宇宙技術研究所の CFD プログラム「NS3D」のサブルーチン「SUB4」の最外側ループに内包される 4 つの Do-loop のうち，最も実行時間の大きい 2 番目の Do-loop のループボディを取り出したもので，429 個の近細粒度タスク（ステートメント）を持つ．SUB4 の最外側ループは Doall 可

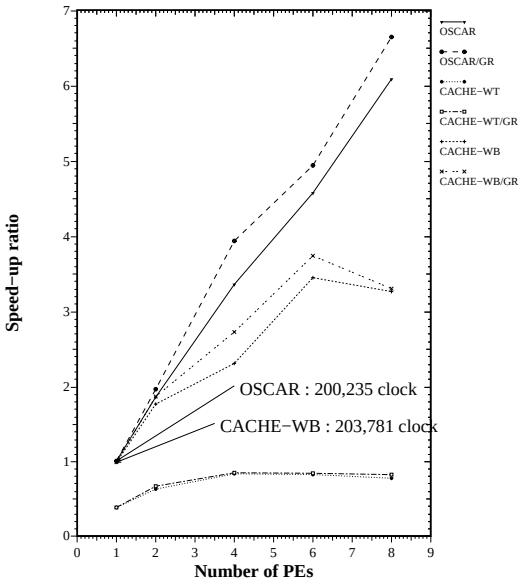


図 8 ローカルメモリアクセス 3 クロック時のランダムスパースマトリクスの求解における速度向上率
Fig. 8 Speed up ratio of random sparse matrix solution with 3clock local memory access.

能なループであり，今回の評価は，外側ループの並列性はシングルチップマルチプロセッサ（SCM）を複数接続しているマルチプロセッサシステムの SCM 間で使用し，SCM に割り当てられたイタレーションをさらに SCM 内の PE 間で近細粒度並列処理を行なうことを想定して評価を行なっている．

このプログラムに，4.1 節と同様に近細粒度並列処理を施し，OSCAR 型アーキテクチャ（OSCAR），データキャッシュ共有型のライトスルー（CACHE-WT）とライトバック（CACHE-WB），および，これらに対してグローバルレジスタを付加したアーキテクチャ（GR）のそれぞれで，PE 数 1，2，4，6，8 で実行した．

この結果として，OSCAR 型アーキテクチャでの 1 プロセッサ上での実行時間を基準とした時の速度向上率を**図 9**（ローカルメモリおよびキャッシュアクセス 1 クロック），および**図 10**（ローカルメモリおよびキャッシュアクセス 3 クロック）に示す．なお，ローカルメモリアクセスが 1 クロックの時の 1 プロセッサでの実行時間は，OSCAR で 881,204 クロック，CACHE-WB で 884,908 クロック，また 3 クロックの時は OSCAR で 1,405,364 クロック，CACHE-WB で 1,409,966 クロックである．

また，OSCAR および CACHE-WB アーキテクチャ（ローカルメモリおよびキャッシュアクセス 1 クロック）において，本アプリケーションを 4PE で実行した時の全 PE の実行命令数の合計に対するメモリアクセス総数の割合を**表 3** に示す．表 3 より，本アプリケーションでは OSCAR における 4PE の総実行命令数の合計のうち，17.6%が同期およびデータ転送領域へのロード/ストア命令であったが，グローバルレジスタを介した同期およびデータ転送が可能な OSCAR/GR では，この領域へのロード/ストア命令が 10.6%に減少していることがわかる．同様に，CACHE-WB アーキテクチャでは 4PE の総実行命令数の合計のうち，21.0%が同期およびデータ転送領域へのロード/ストア命令であったが，CACHE-WB/GR では 18.9%に減少している．

図 9 より，4.1 節と同様に CACHE-WT アーキテクチャの性能が著しく低いことがわかる．さらに，OSCAR アーキテクチャが PE 数 4 の時には 2.14 倍，8 で 2.99 倍の速度向上率を得ているのに対し CACHE-WB アーキテクチャは PE 数 4 で 1.25 倍であるが，その後は PE 数の増加と共に性能が落ち，PE 数 8 の時には 1 台の時の 0.42 倍となっている．

ここで，CACHE-WB アーキテクチャで PE 数の増加と共に性能が向上しない原因について考察する．データ転送量および同期フラグ確認時におけるビジーウェイトの回転数を表す，同期およびデータ転送領域へのメモリアクセス命令数の割合が，表 2 では OSCAR で 8.1%，CACHE-WB で 5.9%と，OSCAR の方が高かったのに対し，表 3 では OSCAR で 17.6%，CACHE-WB で 21.0%と，CACHE-WB の方が高くなっている．OSCAR では，コンパイル時に変数をなるべくローカルメモリに割り当て，他 PE にデータ転送をすることによってデータを共有する最適化を行なうために，CACHE-WB よりもデータ転送量が多くなる．一方，一つの基本ブロック内で使用する変数の量が多い場合は，スケジューリング時には考慮されていないレジスタのスピルコードが挿入されてしまい，こ

表 3 4PE 時における NS3D の実行命令数に対するメモリアクセス数の割合
Table 3 The ratio of memory access count to executed instruction count for NS3D with 4PEs.

アーキテクチャ	各領域に対するメモリアクセスの割合（%）	
	同期およびデータ転送	変数および定数
OSCAR	17.6	17.3
OSCAR/GR	10.6	20.7
CACHE-WB	21.0	12.5
CACHE-WB/GR	18.9	12.8

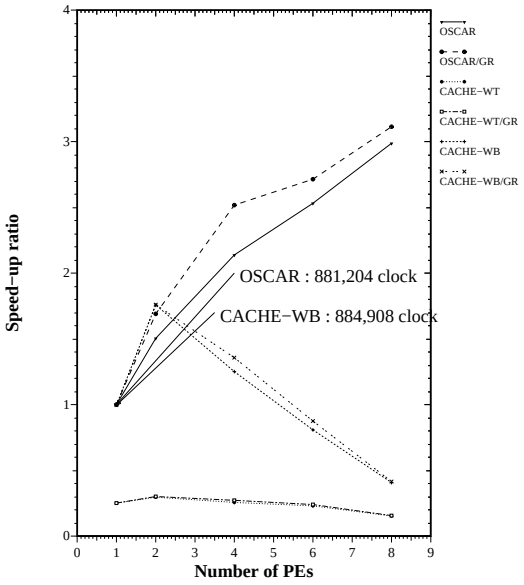


図 9 ローカルメモリアクセス 1 クロック時の NS3D における速度向上率
Fig. 9 Speed up ratio of NS3D/SUB4 with 1clock local memory access.

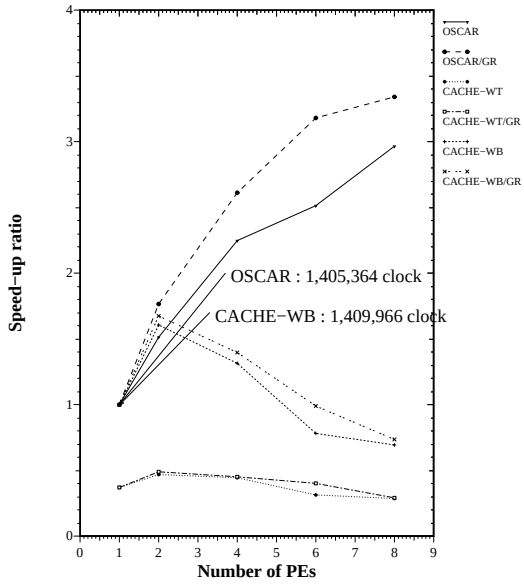


図 10 ローカルメモリアクセス 3 クロック時の NS3D における速度向上率
Fig. 10 Speed up ratio of NS3D/SUB4 with 3clock local memory access.

の場合はコンパイル時のスケジューリングどおりのプログラム実行が困難となり，ビジーウェイトの回転数が多くなる．この，スピルコードおよびビジーウェイトによるメモリアクセスがすべて共有キャッシュに対してなされてしまう CACHE アーキテクチャでは，メモリアクセスに伴うバンクコンフリクトのペナルティが大きくなり，スケジューリング結果と実際の実行結果のずれが大きくなってしまう．そのため，表 3 のように同期およびデータ転送領域へのメモリアクセス命令数の割合が OSCAR よりも CACHE-WB の方が高くなり，CACHE-WB アーキテクチャでは PE 数の増加と共に性能が向上しないと考えられる．実際に，OSCAR アーキテクチャでは PE 数 4 の時の 1 回のメモリアクセスに要する平均クロック数が 1.80 であるのに対し，CACHE-WB アーキテクチャでは 4.13 となっている．

グローバルレジスタの付加に関しては，特に OSCAR アーキテクチャでの性能向上が著しく，PE 数が 4 の時にグローバルレジスタを付加したものは付加しなかったものに比較して 17.5 %の性能向上を得ている．本アプリケーションのように，PE 間のデータ転送と同期の回数が非常に多い時，特にグローバルレジスタの使用が有効であることがわかる．

図 10 の 3 クロックアクセスの場合も，図 9 と同様な傾向を示しているが，近細粒度タスク間のデータ転送と同期のオーバーヘッドが増大した分，グローバルレジスタの使用が有効であった．特に，OSCAR アーキテクチャで PE 数 6 の時には，グローバルレジスタを使用した時は使用しない時と比較して，26.5%の性能向上を得ている．

5. ま と め

本論文では，マルチグレイン並列処理に適したシングルチップマルチプロセッサアーキテクチャの検討を行なうための第一歩としてデータキャッシュ共有型アーキテクチャ，OSCAR 型アーキテクチャ，およびこれらのアーキテクチャにグローバルレジスタを付加したアーキテクチャ上で近細粒度並列処理を適用し，性能評価を行なった．

その結果，コンパイル時のスケジューリングにより決定できるプロセッサローカル変数をローカルメモリへ配置し，プロセッサ間データ転送や同期をグローバルレジスタあるいは DSM を効果的に用いて行なうといった，コンパイル時最適化を行なうことの出来る OSCAR 型アーキテクチャが，グローバルレジスタ無し，ローカルメモリアクセス 1 クロックの場合で共有キャッシュアーキテクチャに対して，ランダムスパースマトリクス求解では 4PE で 9.6%，8PE で

は 34.1%，また CFD 計算では 4PE で 70.9%，8PE で 733.9% 速度向上が可能であり，近細粒度並列処理においてスケーラブルな性能向上を得られることが確認された．また，グローバルレジスタの付加により，近細粒度タスクのデータ転送を効果的に行なうことができ，OSCAR アーキテクチャでは最大 26.5%，共有キャッシュアーキテクチャでは最大 26.6%の速度向上を得ることができ，グローバルレジスタの追加が近細粒度並列処理で有効であることがわかった．

今後は，この近細粒度並列処理と中粒度並列処理および粗粒度並列処理を階層的に組み合わせて利用するマルチグレイン並列処理をシングルチップマルチプロセッサに対して適用し，マルチグレイン並列処理を有効に適用することが出来るシングルチップマルチプロセッサアーキテクチャについて検討を重ねていく予定である．また，今後の課題として，SPARC，PowerPC 等の商用スーパースカラ RISC プロセッサを CPU コアにしたシングルチップマルチプロセッサ，L2 キャッシュやスヌープキャッシュ [7] など本論文で評価したアーキテクチャとは異なるメモリ構成を持ったシングルチップマルチプロセッサアーキテクチャ等との比較，および実際にプロセッサを作成する際に問題となるハードウェア量，バスドライブ能力に関する検討等が挙げられる．

謝辞 本研究の一部は，通産相次世代情報処理基盤技術開発事業並列処理分散分野マルチプロセッサコンピューティング領域研究の一環として行なわれた．

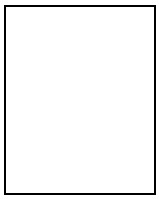
最後に，CFD プログラム NS3D を御提供いただいた航空宇宙技術研究所の皆様に感謝致します．

参 考 文 献

1) Y.Patt et al.: One Billion Transistors, One Uniprocessor, One Chip, *Computer*, Vol. 30, No. 9, pp. 51–57 (1997).
2) M.Lipasti and J.Sben: Superspeculative Microarchitecture for Beyond AD 2000, *Computer*, Vol. 30, No. 9, pp. 59–66 (1997).
3) C.Kozyrakis et al.: Scalabel Processors in the Billion-Transisteor Era: IRAM, *Computer*, Vol. 30, No. 9, pp. 75–78 (1997).
4) L.Hammond, B.Nayfeb and K.Olukotun: A Single-Chip Multiprocessor, *Computer*, Vol.30, No. 9, pp. 79–85 (1997).
5) 岩下，宮嶋，村上: リファレンス PPRAM「$PPRAM^R$」に基づく「$PPRAM^R_{mf}$」アーキテクチャの概要, 情処研報, Vol. 96, No. 80, pp. 161–166 (1996).
6) 井上, 若林, 木村, 天野: シングルチップマルチプロセッサ用半共有型スヌープキャッシュ, 信学技報 CPSY, Vol. 98, No. 233, pp. 75–81 (1998).
7) B.Nayfeh, L.Hammond and K.Olukotun: Evaluation of Design Alternatives for a Multiprocessor Microprocessor, *Proc. of the 23rd Anual International Symposium on Computer Architecture* (1996).
8) G.Shoi, S.Breach and T.Vijaykumar: Multiscalar Processors, *Proc. of the 22nd Anual International Symposium on Computer Architecture* (1995).
9) J.-Y.Tsai and P.-C.Yew: The Superthreaded Architecture : Thread Pipelining with Runtime Data Dependence Cehecking and Control Speculation, *Proc. of Int'l Conf. on PACT'96* (1996).
10) 鳥居, 近藤等: オンチップ制御並列プロセッサ MUSCAT の提案, 情報処理学会論文誌, Vol. 39, No. 6, pp. 1622–1631 (1998).
11) 玉造, 松本, 平木: 実行時再構成方式テストベット Ocha-Pro の性能評価, 情処研報 ARC, Vol. 98, No. 70, pp. 127–132 (1998).
12) H.Kasahara, H.Honda and S.Narita: Parallel processing of Near Fine Grain Tasks Using Static Scheduling on OSCAR (Optimally Scheduled Advanced Multiprocessor), *Proc. of Supercomputing '90* (1990).
13) 笠原: マルチプロセッサシステム上での近細粒度並列処理, 情報処理, Vol. 37, No. 7, pp. 651–661 (1996).
14) 尾形, 吉田, 合田, 岡本, 笠原: スタティックスケジューリングを用いたマルチプロセッサシステム上での無同期近細粒度並列処理, 情報処理学会論文誌, Vol. 35, No. 4, pp. 522–531 (1994).
15) D.Padua and M.Wolfe: Advanced Compiler Optimization for Super Computers, *C.ACM*, Vol. 29, No. 12, pp. 1184–1201 (1996).
16) 笠原, 合田, 吉田, 岡本, 本多: Fortran マクロデータフロー処理のマクロタスク生成手法, 信学論, Vol. J75-D-I, No. 8, pp. 511–525 (1992).
17) 本田, 合田, 岡本, 笠原: Fortran プログラム粗粒度タスクの OSCAR における並列実行方式, 信学論（D-I）, Vol. J75-D-I, No. 8, pp. 526–535 (1992).
18) H.Kasahara, H.Honda and S.Narita: A Multigrain Parallelizing Compilation Scheme for OSCAR, *Proc.4th Workshop on Lang. And Compilers for Parallel Computing* (1991).
19) 笠原, 尾形等: マルチグレイン並列化コンパイラとそのアーキ テクチャ支援, 信学技報, IDC98-10, CPSY98-10, FTS98-10, pp. 71–76 (1998).
20) 本田, 岩田, 笠原: Fortran プログラム粗粒度タスク間の並列性検出法, 信学論 (D-I), Vol. J73-D-I, No. 12, pp. 951–960 (1990).

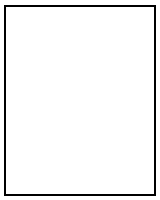
21) 岡本, 合田, 宮沢, 本田, 笠原: OSCAR マルチグレインコンパイラにおける階層型マクロデータフロー処理, 情報処理学会論文誌, Vol. 35, No. 4, pp. 513–521 (1994).
22) 笠原: 並列処理技術, コロナ社 (1991).
23) 藤原, 笠原, 白鳥, 鈴木: データプレロードおよびポストストアを考慮したマルチプロセッサスケジューリングアルゴリズム, 電子情報通信学会論文誌 (D-1), Vol. 75, No. 8, pp. 495–503 (1992).
24) H. Kasahara and A. Yoshida: A Data-Localization Compilation Scheme Using Partial Staticc Task Assignment for Fortran Coarse Grain Parallel Processing, *Journal of Parallel Computing*, Vol. Special Issue on Languages and Compilers for Parallel Computers (1998).
25) 藤原, 白鳥, 鈴木, 笠原: データプレロードおよびポストストアを考慮したマルチプロセッサスケジューリングアルゴリズム, 電子情報通信学会論文誌 (D-I), Vol. J75-D-I, No. 8, pp. 495–503 (1988).
26) 笠原, 成田, 橋本: OSCAR (Optimally SCheduled Advanced multiprocessoR) のアーキテクチャ, 信学論 D, Vol. J71-D, No. 8 (1988).
27) B.Geuskens and K.Rose: *MODELING MICROPROCESSOR PERFORMANCE*, Kluwer Academic Pub. (1998).

(平成？年？月？日受付)
(平成？年？月？日採録)



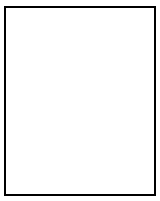
木村 啓二

昭和 47 年生．平成 8 年早稲田大学理工学部電気工学科卒業．平成 10 年同大学大学院理工学研究科電気工学専攻修士課程修了．同年同大学大学院理工学研究科電気工学専攻博士後期課程に入学，現在に至る．マルチグレイン並列処理用プロセッサアーキテクチャに関する研究に従事．



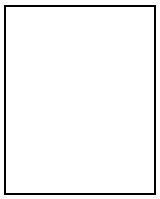
尾形 航 (正会員)

昭和 42 年生．平成 3 年早稲田大学理工学部電気工学科卒業．平成 5 年同大大学院修士課程終了．現在，同大理工学部電気電子情報工学科助手．近細粒度並列処理手法，計算機アーキテクチャの研究に従事．



岡本 雅巳 (正会員)

平成 2 年早稲田大学電気工学科卒業．平成 4 年早稲田大学大学院理工学研究科電気工学専攻修士課程修了．平成 9 年早稲田大学大学院理工学研究科電気工学専攻博士後期課程単位取得退学．在学中は並列化コンパイラ, 並列実行方式に関する研究を行なう．同年株式会社東芝入社．現在東芝府中工場勤務. 発電監視制御システムの開発に従事．電子情報通信学会会員．



笠原 博徳 (正会員)

昭和 32 年生．昭和 55 年早稲田大学理工学部電気工学科卒業．昭和 60 年同大学大学院博士課程修了．工学博士．昭和 58 年同大学同学部助手．昭和 60 年学術振興会特別研究員．昭和 61 年早稲田大学理工学部電気工学科専任講師．昭和 63 年同助教授．平成 9 年同大学電気電子情報工学科教授，現在に至る．平成元年〜2 年イリノイ大学 Center for Supercomputing Research & Development 客員研究員．昭和 62 年 IFAC World Congress 第一回 Young Author Prize．平成 9 年度情報処理学会坂井記念特別賞受賞．著書「並列処理技術」(コロナ社)．情報処理学会，電子情報通信学会，IEEE などの会員．